

陕西省教育厅自然科学研究项目

可行性研究报告

项 目 名 称：铁电智能器件的制备工艺及存算一体应用研究

项 目 负 责 人：陈璐秋

所 在 单 位：西安电力高等专科学校

申 请 日 期：二零二六年九月一日

陕西省教育厅

目 录

一、国内外研究开发现状和发展趋势	3
二、项目研究内容、关键技术和研发目标	10
三、技术方案及创新点	13
四、项目的研究基础及技术支撑条件	18
五、工作进度安排和阶段目标	19
六、预期成果形式及先进程度	21
七、推广应用前景分析	22
八、其他说明	23
参考文献	24

一、国内外研究开发现状和发展趋势

1.1 研究背景及意义

近年来，人工智能正在快速迭代并渗透各个行业。从 ChatGPT 问世，Deepseek 和 GLM 等大模型不断涌现，到芯片公司对算力/存储芯片的火热研究，一场变革浪潮正席卷全球[1-2]。但训练包含数十亿甚至数万亿参数的大模型需要海量算力，其底层为矩阵乘加运算，这对传统冯·诺依曼架构提出了挑战。

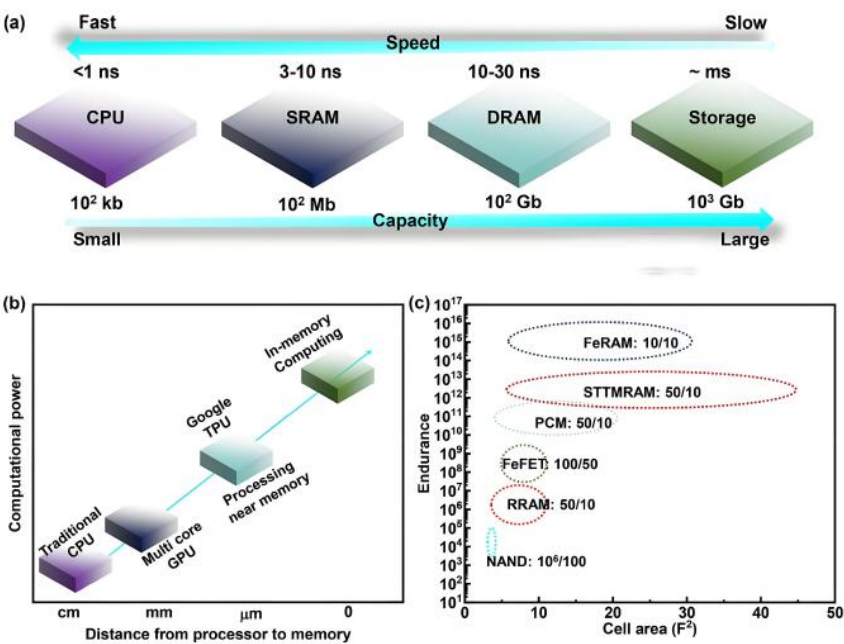


图 1-1 （a）冯·诺依曼架构中速度和能耗的制衡 （b）提升算力的技术路线
（c）非易失存储器件的性能比较[3]

以 DeepSeek V3/R1 为代表的轻量级大模型为例，其通过与英伟达 A100 GPU 架构深度适配，实现了约 20 倍的训练效率提升，将单次训练成本降低至 560 万美元。但该技术存在特定技术局限，硬件指令集优化策略高度依赖张量核心架构特性。在边缘端 AI 应用场景中，

硬件限制更是直接制约了模型部署的能效边界。此类问题主要源于当前 CPU 计算能力与内存带宽的物理限制，本质是冯·诺伊曼架构固有的“内存墙”与“功耗墙”难题。

传统冯·诺伊曼架构采用存储与计算单元物理分离，数据读写与指令调度串行执行的模式，导致约 90%的功耗来自数据传输而非有效计算[4]。随着处理单元与存储单元间的处理速度差异持续扩大，存储单元访问延迟已成为制约人工智能工作性能的主要瓶颈[5, 6]。尤其在散热条件受限的移动端场景中，设备电池与 CPU 功耗预算形成刚性约束。即使在成熟的 45 nm CMOS 工艺节点上，乘法运算的功耗仍比存储访问操作低三个数量级。



图 1-2 冯·诺伊曼架构和新型存储-计算架构对比示意图

在存储-计算协同架构的多个研究方向中，存算一体架构不仅能将矩阵运算直接映射至存储阵列的物理特性，利用存储介质本征电学行为实现逻辑操作，通过高密度异构集成优化阵列拓扑结构，配合定制外围电路实现运算精度控制。相较于传统架构的数据搬运模式，其能够保持存储介质内部物理状态的连续性，使典型矩阵运算时间复杂度下降，并降低 90% 以上的数据迁移能耗。

基于欧姆定律和基尔霍夫定律，存算一体架构能够对特征输入向

量与学习权重矩阵的乘加运算实现原位加速，为训练大模型所需的海量矩阵乘加运算，提供行之有效的加速路径。如图 1-3（b）所示，Crossbar 结构的存算一体芯片有助于实现神经网络算法中的矩阵乘加运算。通过提供训练数据，权重能够根据学习规则在存算一体芯片中更新，最终实现高能效和低功耗的计算。

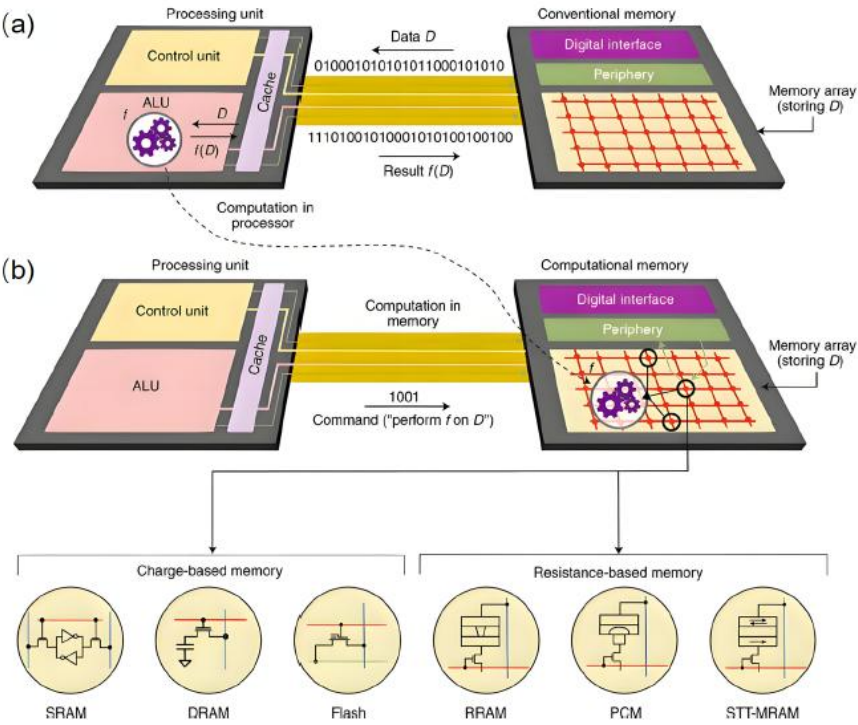


图 1-3 冯·诺伊曼架构（a）和存算一体架构（b）的对比[7]

为了提升存算一体架构的学习性能，最大限度降低硬件成本。近年来，各种新原理、新结构的具有超低功耗、高性能的新型非易失性存储器件不断涌现。在众多新型存储器件中，如：阻变存储器[8, 9]，相变存储器[10]，磁存储器[11]等，铁电场效应晶体管（Ferroelectric Field-Effect Transistor, FeFET）因为具有读写速度快，无损读取，功耗特别低以及容易实现多态存储等优点而受到关注[12-14]。

FeFET 的栅铁电层极化状态能够被电场快速、精确地操纵，可以

1.2 国内外研究现状

存算一体的发展包含算法与硬件两个方面。在算法层面，存算一体具备天然的并行处理优势，但受限于传统冯·诺依曼架构，大规模数据处理仍面临速度与能耗的双重挑战。因此，提出高效可靠的硬件加速方案，成为突破现有瓶颈的关键支撑。

以美国 DARPA 主导的“突触计划”，联合 IBM、HP 等企业及科研机构，成功研制出 TrueNorth、DaDianNao 等芯片[16, 17]，但其设计密度远超传统晶体管模拟能力，导致芯片面积与功耗呈指数级增长。与此同时，学术界迎来了新型非易失性存储器的研究热潮，密歇根大学卢伟教授团队率先开发出存算融合芯片，实现了多层感知的算法硬件集成，但该架构存在潜行电流干扰问题[18]。为解决这一问题，清华大学吴华强教授团队采用 1T1R 阵列与 65 nm CMOS 工艺，研制出具备神经网络与数字计算双模能力的 1 Mb 级处理器[19]。目前已报道的基于 CMOS 的神经形态芯片或系统，包括 Neurogrid、SpiNNaker、BrainScaleS、Loihi 和 Tianjic。器件层面，铁电电子器件、自旋电子器件等新型存储器件相继问世，形成多元化发展格局。其中，FeFET 因具有读写速度快，低功耗，非破坏性读取以及存在多种状态存储潜力等优点，是存算一体架构的理想器件。

FeFET 的器件原型于二十世纪五十年代提出，被定义为利用铁电极化控制半导体沟道电导率的一种电子器件。1974 年，金属-铁电-半导体结构的 FeFET 被 Sugibuchi 等人报道[20]。紧接着越来越多的铁电材料被发现，如锆钛酸铅（PZT），FeFET 迎来了研究热潮。但

由于钙钛矿型铁电材料受限于硅基兼容问题、界面问题和尺寸效应，FeFET 未能有更深入的发展。

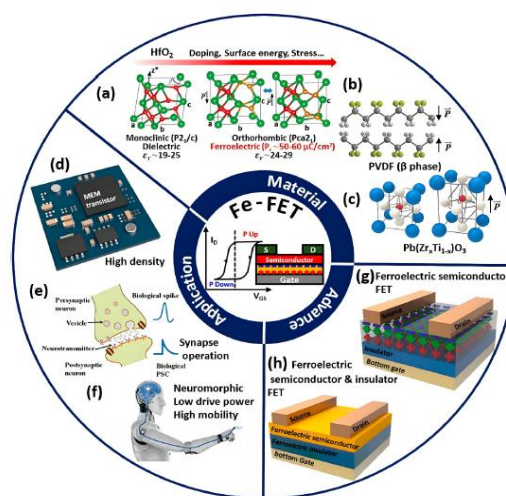


图 1-5 不同 FeFET 的铁电材料和结构类型[21]

近年来，研究人员开始关注以有机铁电聚合物聚偏氟乙烯-三氟乙烯共聚物（P(VDF-TrFE)）为代表的有机铁电材料。**P(VDF-TrFE)**具有一定的柔韧性，硅基兼容以及结晶温度较低（135 °C左右）的优势，为低温、大面积制备柔性可穿戴芯片提供了新的路径[22-24]。

通过与二维材料半导体，如二硫化钼、二碲化钼或三硒化二钨等，相结合，基于 P(VDF-TrFE)的 FeFET 在光电器件、非易失存储器、神经形态器件和负电容晶体管等方面的多样化应用[25-27]。清华大学的刘锴团队将 P(VDF-TrFE)与二碲化钼纳米片结合，实现了对 MoTe₂沟道载流子类型和浓度的非易失调节[28]。复旦大学王建禄团队报道了迁移率达 900 cm² V⁻¹ s⁻¹，开关比 10³，单次事件能耗仅约 40 fJ 的 P(VDF-TrFE)/黑磷突触晶体管，同时展示了其在存算一体方面的应用前景[29]。以上工作，都证实了铁电场效应晶体管的非破坏性读写、纳秒级操作速度（< 10 ns）以及超高耐久性（> 10⁷次）等优势，表

明相关器件能够成为实现存算一体架构的优良器件原型。

与上述二维材料相比，氧化锌（ZnO）属于宽带隙氧化物半导体，具有良好的透明性以及电子传输特性，能够在较低温度下成膜，所以常被当作与有机铁电薄膜耦合的沟道材料。在基于 ZnO 和 P(VDF-TrFE)的有机-无机杂化 FeFET 体系当中，器件的电学性能很大程度上依靠薄膜的沉积工艺，ZnO 沟道层的厚度会显著影响铁电极化电场对沟道载流子的调控能力。沟道过厚会使得铁电场不能够完全耗尽电子，关断态漏电流偏大；沟道过薄将严重限制器件开态电流。因此，探讨制备工艺参数对于提升 FeFET 性能具有重要的实际意义。

本项目旨在通过系统的实验设计，深入探究并优化氧化锌铁电晶体管的核心制备工艺，寻找最优的沟道尺寸。在此基础上，对 FeFET 进行长程增强（LTP）与长程抑制（LTD）突触行为测试，评估其在 MNIST 手写数字识别任务中的应用，**最终验证其在存算一体架构中的实际应用价值**，为制备低功耗、高性能的铁电晶体管提供实验的依据以及理论的参考。

二、项目研究内容、关键技术和研发目标

2.1 研究内容

1、铁电电容器件制备及其铁电性能表征

探究溶液法制备 **P(VDF-TrFE)**铁电薄膜、**Al/P(VDF-TrFE)/Al** 平行板电容器以及磁控溅射生长 **ZnO** 的最佳工艺，对不同结构和生长参数的器件进行电学特性测量，实现 **FeFET** 制备工艺的全流程优化。具体实验设计如下。

本项目预计设计四种平板电容器，其有效电极面积分别为 $120 \times 25 \mu\text{m}^2$ 、 $120 \times 40 \mu\text{m}^2$ 、 $120 \times 60 \mu\text{m}^2$ 和 $120 \times 120 \mu\text{m}^2$ 。通过对四组电容器的 P - V 电滞回线进行测试，对比剩余极化强度 P_r 、饱和极化强度 P_{max} 及矫顽电压 V_c 随面积变化的情况，评估 **P(VDF-TrFE)** 薄膜在宏观尺度上的极化特性分布。对比不同面积电容器的电学测试数据，验证 **P(VDF-TrFE)** 薄膜的质量一致性与电学均一性。对四种 **MFM** 电容器进行极化保持测试，证实项目制备的 **P(VDF-TrFE)** 薄膜具备一定的电荷保持能力，极化状态在一定时间内无明显翻转或退极化现象，为后续 **FeFET** 器件的性能验证奠定物理基础。

2、ZnO 厚度对 FeFET 器件性能的影响探究

通过对比不同 **ZnO** 溅射条件器件的电学特性，如，存储窗口、开关比等，研究影响器件电学特性的物理机制和器件结构参数。本项目将设计不同射频磁控溅射时间生长的 **ZnO**（3 min、5 min、15 min、

25 min)，得到四组不同 ZnO 厚度的 FeFET。在固定漏极偏压下，对各器件进行转移曲线测试。综合比较四种 ZnO 溅射时间对应器件的开关比、存储窗口等参数，对比沟道厚度对铁电场调控效率的影响。

3、突触可塑性模拟与存算一体应用验证

LTP 与 LTD 测试过程中，先编写连续写入/擦除的脉冲序列（如：电压变化、间隔变化、脉冲次数修改等），通过单个编程脉冲驱动局部铁电畴转向，诱导沟道内载流子浓度逐渐变化，表现为电学测试中电流的持续增大/减小。

在此基础上，利用测试得到的数据，构建一个全连接人工神经网络，网络中相邻层神经元之间的连接均由 FeFET 的沟道电导值模拟，电导的变化量对应突触权重的更新量。将实验测得的电导状态归一化后，把器件的物理状态精确映射到神经网络的算法模型中，进行多个周期的监督学习训练，最终实现 MNIST 手写数字识别的仿真，证实 FeFET 应用于存算一体的可行性。

2.2 关键技术

1、P(VDF-TrFE)铁电薄膜的制备

FeFET 的铁电层承担着调控器件工作窗口以及调节多种不同存储状态的重要作用，因此，探究优良 P(VDF-TrFE)铁电薄膜的制备方法是整个研究的基础。本项目将通过溶液法制备得到 P(VDF-TrFE)铁电薄膜。探究不同接触面积对于 Al/P(VDF-TrFE)/Al 平行板电容器电学性能的影响，为器件的制备打下基础。

2、顶栅结构的 ZnO 铁电晶体管的制备

溅射 ZnO 半导体层的工艺，是得到高性能 FeFET 的必要条件。为了制备性能良好的非易失存储器件，最终实现存算一体应用的相关应用，要求本项目必须得到具有良好性能的 ZnO 铁电晶体管。本项目将对射频磁控溅射时间进行梯度调控，探寻其对 ZnO 铁电晶体管性能的影响。最终获得具有高电流开关比、宽存储窗口并循环扫描稳定的 ZnO 铁电晶体管器件。

3、存算一体应用的测试与仿真

为证实本项目的 FeFET 应用于存算一体的可行性，需要通过编辑一系列写入及擦除脉冲序列，引起铁电层的部分极化翻转（LTP/LTD），以确定器件是否能够实现对于电导的连续渐变调控。基于上述测试结果，构建两层全连接的人工神经网络，实现 MNIST 手写数字识别仿真任务。

2.3 研发目标

1、通过旋涂法制备具有良好铁电特性的 P(VDF-TrFE)铁电薄膜，并得到具有良好数据保持能力（超过 10^3 s）的 Al/P(VDF-TrFE)/Al 平行板电容器。

2、制备顶栅结构的 ZnO 铁电晶体管，通过电学测试验证 ZnO 铁电晶体管的开关比和存储窗口（开关比超过 10^7 ，存储窗口 >8 V）。

3、实现存算一体应用的相关测试，并进行 MNIST 手写数字识别的仿真（准确率达到 90% 以上）。

三、技术方案及创新点

铁电材料具有非易失、低功耗、易操控等特点，在铁电智能器件中作为铁电层，其极化状态的可逆调控能够直接映射权重的动态演化。P(VDF-TrFE)由于其优异的范德华接触及柔性可扩展性能，结合半导体沟道的载流子调制机制，为实现高精度线性电导调控与多时间尺度可塑性提供了物理基础。由于 ZnO 与 P(VDF-TrFE)构成的铁电场效应晶体管的电学性会受到沟道厚度以及界面状况的限制，在实验中 ZnO 的厚度直接影响铁电极化电场对半导体沟道电荷的调控效率。本项目通过可控的溅射时间梯度调控 ZnO 薄膜厚度，厘清 ZnO 层物理厚度对 ZnO 铁电晶体管电学参数的调控机制，探寻 FeFET 在神经形态计算方面的发展潜力。

3.1 技术方案

1、平板电容器制备流程

本项目制备的 MFM 结构平行板电容器，衬底选用表面覆有 SiO₂ 的重掺杂 p 型硅片。利用磁控溅射技术在衬底上形成铝，作为底电极。随后，将 P(VDF-TrFE)溶液旋涂于底电极表面。最终，在高真空环境中通过电阻加热蒸发铝原子，沉积形成顶电极。

2、氧化锌铁电晶体管制备流程

本项目制备的 FeFET 采用顶栅控制结构，从下至上分别为 Si/SiO₂ 衬底、源漏金属电极、ZnO 半导体沟道层、P(VDF-TrFE)铁电栅绝缘

层以及顶部 Al 栅电极。具体工艺流程如图 3-1 所示，整体上可分为五个主要步骤：衬底准备、源漏电极制备、ZnO 沟道层制备、铁电层旋涂制备以及顶栅 Al 电极制备。

（1）衬底准备：将硅片切割成 1.5 cm×1.5 cm 小片后，依次经丙酮、无水乙醇、去离子水各超声 5 min，使用氮气枪吹干，烘板烘干后冷却至室温备用。

（2）源漏电极制备：源漏电极的图形化同样采用无掩膜光刻、磁控溅射沉积、剥离工艺。曝光版图为梳齿形源漏电极，电极材料采用 Al，直流磁控溅射生长 ZnO。溅射完成后，对光刻胶和目标外沉积层进行剥离，然后使用显微镜检查以确保沟道间隙干净，无电极桥连等问题。

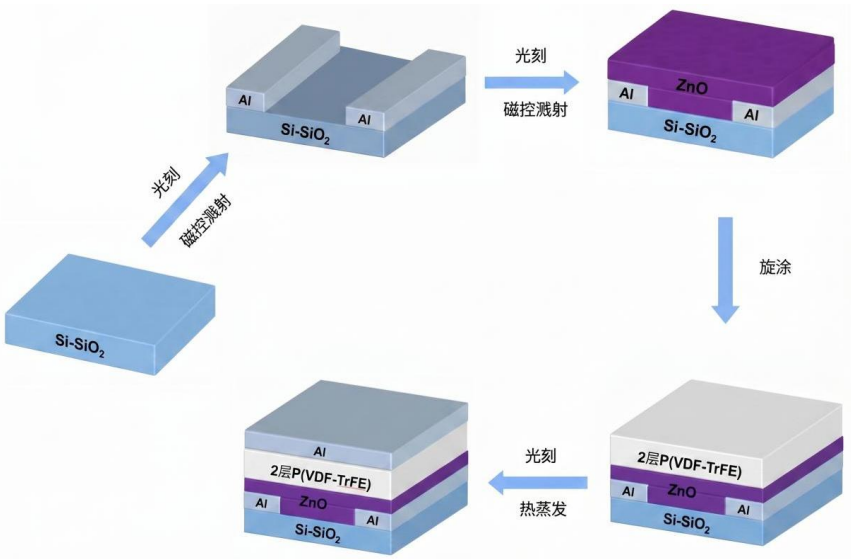


图 3-1 氧化锌铁电晶体管制备流程

（3）ZnO 沟道层制备：完成源漏电极后，进行 ZnO 沟道区的光刻图形化。在版图设计中，ZnO 的光刻图形略宽于并完整覆盖两极之间的沟道间隙区域（如图 3-1 紫色区域所示），以保证 ZnO 与源漏

电极之间形成良好的物理接触。ZnO 薄膜采用射频磁控溅射工艺制备，ZnO 陶瓷靶材纯度 $\geq 99.9\%$ 。溅射前先进行 5 min 的预溅射以清洁靶材表面，衬底旋转以提高薄膜均匀性。为系统研究沟道厚度对器件的影响，四组样品的 ZnO 溅射时间分别设定为 3 min、5 min、15 min 和 25 min，分别对应四种不同厚度的沟道。ZnO 沉积完毕后，依次用丙酮超声剥离光刻胶、无水乙醇清洗、氮气吹干，剥离完成后使用显微镜确认沟道图形。

(4) P(VDF-TrFE)铁电层制备：ZnO 沟道层制备完毕后，即可进行 P(VDF-TrFE)铁电绝缘层的旋涂。

(5) 顶栅 Al 电极制备：P(VDF-TrFE)退火冷却后进行顶栅光刻图形化。版图对准操作参考前序源漏电极，确保顶栅区域完整覆盖 ZnO 沟道。Al 电极沉积依托高真空热蒸发工艺。腔体真空度预抽至 5×10^{-4} Pa 以下。铝膜沉积厚度设定为 50 nm，蒸发速率维持在 0.5 Å/s。较低的蒸发速率能够抑制热量堆积，规避高沉积能对有机铁电层造成的物理损伤。剥离过程在无水乙醇环境中配合短时超声处理。通过光学显微镜观察，确认顶栅电极图形闭合且边缘无毛刺。

3、电学测试

本项目主要通过铁电分析测试系统（TFAalyzer3000）判断 P(VDF-TrFE)自身的极化翻转特性以及多级调控能力。测试过程中，系统通过对电容器施加特定频率以及特定幅值的三角波交流偏压的序列，描绘出 P(VDF-TrFE)薄膜的 $P-V$ 电滞回线。电滞回线能够直观地体现铁电薄膜的剩余极化强度以及矫顽电场，是评判材料极化反

转阈值以及多级调控能力的最为关键的物理依据。

使用半导体参数分析仪（Keithley4200A-SCS）评估 FeFET 的电学特性，例如，转移特性曲线（ I_D-V_G ）以及输出特性曲线（ I_d-V_{ds} ）。通过对转移特性曲线的参数进行提取，定量分析晶体管的电流开关比（ I_{on}/I_{off} ），亚阈值摆幅（SS）以及受铁电极化调控的存储窗口（Memory Window, MW）等特性。

3.2 创新点

目前铁电智能器件的研究多聚焦于单一器件性能优化，缺乏从材料工程到系统演示的跨尺度协同设计。基于此，本项目旨在通过系统研究基于 P(VDF-TrFE)和氧化锌（ZnO）的 FeFET 的器件制备优化工艺，实现存算一体功能验证，完成材料工程到系统集成的协同设计，真正将铁电存储器应用落地。

1、有机-无机杂化铁电体系

本项目采用 P(VDF-TrFE)作为铁电栅介质层，ZnO 作为半导体沟道层，构建了有机-无机杂化的 FeFET。相较于传统无机铁电材料需要超过 600 °C 的高温退火，P(VDF-TrFE)仅需 135 °C 退火即可形成具有铁电特性的 β 相，大幅降低了制备温度。该材料体系同时具备良好的柔性、透明性和溶液法加工能力，为低温、大面积制备柔性可穿戴芯片提供了新路径。

2、ZnO 沟道厚度的梯度调控与系统优化

本项目提出了一种基于射频磁控溅射时间梯度的 ZnO 沟道层厚

度系统优化方法。通过设置 3 min、5 min、15 min、25 min 四组溅射时长，构建了完整的沟道厚度-器件性能映射关系，揭示了沟道厚度对铁电极化电场调控效率的决定性影响机制，为器件的工艺优化提供了系统性、可复制的实验范式。

3、从材料工程到系统演示的跨尺度协同设计

本项目完成了从铁电薄膜材料制备、电容器性能验证、晶体管工艺优化到存算一体系统功能演示的完整技术链条，形成了“材料、器件、系统”三级递进的研究范式。目前铁电智能器件的研究多聚焦于单一器件性能优化，缺乏从材料工程到系统演示的跨尺度协同设计。本项目通过全流程工艺优化与功能验证，填补了该体系从基础材料研究到应用演示之间的空白，为柔性、低功耗存算一体芯片的研发提供了实验依据与理论支撑。

四、项目的研究基础及技术支撑条件

项目依托西安电力高等专科学校和华东师范大学极化材料与器件教育部重点实验室。项目团队包含 4 名高级职称人员，含优青 1 名，是一支集合理论仿真、材料制备、器件加工集成和电路系统的完备的科研队伍。

华东师范大学极化材料与器件教育部重点实验室于 2016 年开始布局类脑智能的研究。材料生长：拥有较为完整的材料生长手段，包括 10 套分子束外延系统、5 套原子层沉积系统、5 套磁控溅射等设备。微纳器件加工：拥有整体万级光刻间百级净化间 270 平米，具有聚焦离子束微纳加工系统（Helios G4 UX）、全自动反应离子束刻蚀机（MRIBE-150）、等离子体刻蚀机（ICP-98A）、双面光刻机（H94-30）、引线键合机（7KE）等设备。材料结构及物性表征：拥有先进的和较为完善的表征手段，包括多套双球差校正透射电子显微镜、高分辨 X 射线衍射仪、原子力显微镜等各类结构和物性表征设备。

团队在铁电存储和类脑计算方向的研究工作获批上海市科技创新脑科学与类脑人工智能项目和集成电路专项等重大研究计划，深耕铁电材料与类脑芯片领域。核心成员田博博教授（博士生导师、国家优青）、冯光迪博士后（上海市超级博士后、杨帆人才）和陈璐秋讲师，已发表 Nature 子刊论文 6 篇，团队具有材料生长、器件制备和系统测试的全链条技术能力，有力保障本项目从研发到应用的顺利实施。

项目负责人陈璐秋，博士就读于华东师范大学，研究方向为铁电类脑智能器件，主要包括铁电材料制备、器件设计与制备、阵列测试等。具有丰富的铁电材料生长，铁电材料性能测试以及器件制备与测试能力。以第一（含共同）作者发表论文 4 篇，合作参与论文 10 余篇，授权专利 1 项。

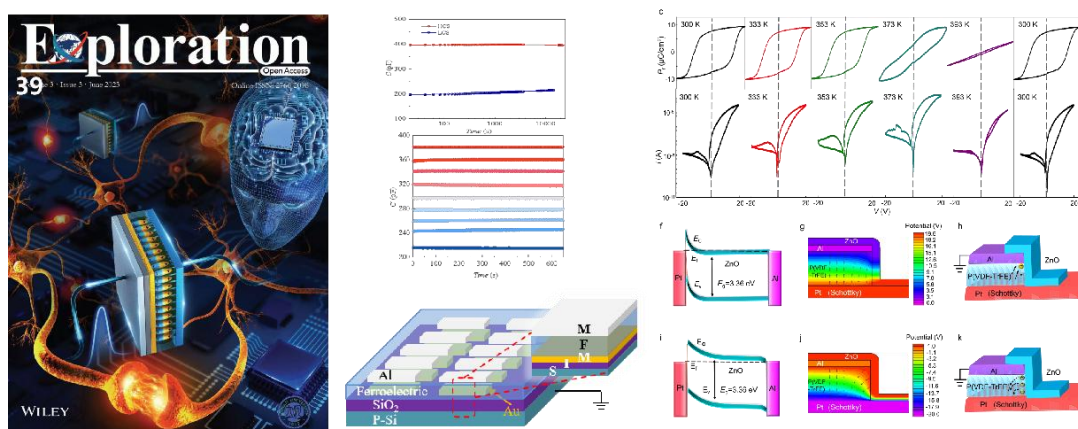


图 4-1 P(VDF-TrFE)的忆容器件以及铁电鳍式二极管特征性能图

研究内容涵盖了基于 P(VDF-TrFE)的忆容器件及阵列的存算一体应用探索（Exploration 3, 20220126, 2023），新型铁电调控的铁电鳍式二极管及其 1.6 k 规模无源交叉阵列的制备与测试(Nat. Commun. 15, 513, 2024)，铪锆氧薄膜的铁电性能与器件研究（Chin. Phys B 32, 108102., 2023；Appl. Phys. Lett. 124, 132903 , 2024）。具有丰富的铁电薄膜生长、非易失存储器件制备、阵列搭建以及感存算一体应用演示的全流程研究经验。

五、工作进度安排和阶段目标

本项目预计完成工作报告 1 份，专利 1 篇，发表论文 2 篇，其中 1 篇为科技核心/SCI/EI。每个阶段的具体安排如下：

1、2026 年 9 月-2026 年 11 月：开展 P(VDF-TrFE)铁电薄膜的工艺探究和电学测试平台搭建，得到具有铁电特性的 P(VDF-TrFE)薄膜。

2、2026 年 11 月-2027 年 3 月：研制具有良好铁电特性的 P(VDF-TrFE)铁电薄膜，并总结经验与方法。得到高均一性及数据保持能力（超过 10^3 s）良好的 Al/P(VDF-TrFE)/Al 平行板电容器，探索不同电极面积对于电容器电学性能的影响。

3、2027 年 3 月-2027 年 9 月：深入探究影响器件电学特性的工艺和器件结构参数等，进一步优化器件制备工艺。制备顶栅结构的 ZnO 铁电晶体管，探究不同磁控溅射时间对 ZnO 铁电晶体管性能的影响。通过电学测试验证 ZnO 铁电晶体管的开关比和存储窗口。撰写并发表一篇论文。

4、2027 年 9 月-2028 年 2 月：确定最佳的 ZnO 铁电晶体管工艺后，通过向栅极施加连续的脉冲电压序列，实现对沟道电导的连续渐变调控（得到 LTP/LTD 数据），准备并撰写专利 1 篇。

5、2028 年 2 月-2028 年 9 月：对 ZnO 铁电晶体管的电学测试数据，进行 MNIST 手写数字识别仿真，证实 FeFET 应用于存算一体计算的可行性。发表科技核心/SCI/EI 论文一篇，完成工作报告 1 份。

六、预期成果形式及先进程度

本项目通过探究 P(VDF-TrFE)铁电薄膜制备工艺、ZnO 薄膜工艺以及 ZnO 铁电晶体管的制备工艺，完成对 ZnO 铁电晶体管稳定性能的提升，探寻 FeFET 在存算一体计算方面的发展潜力。项目将得到从材料工程到器件制备的全过程工艺参数，并完成实验设计、测试搭建、应用训练等一系列配套设备。预计 FeFET 制备技术处于国内领先水平。研究成果将完成工作报告 1 份，专利 1 篇，发表论文 2 篇，其中 1 篇为科技核心/SCI/EI。

七、推广应用前景分析

铁电智能器件制备工艺及其存算一体应用的发展具有引领性，能够带动相关产业的升级和转型，为后摩尔时代提供新型技术支撑，从智能识别、智能家居、安防监控、无人驾驶、自动追踪等应用领域为经济发展注入新的活力。

在国家战略层面，人工智能代表最新科技方向，其发展有助于提升国家在全球科技竞争中的地位。社会层面，人工智能的应用可以改善民生，提高生活质量，促进社会和谐稳定。人工智能已然成为全球战略性研究方向。例如，我国把“人工智能”列入“十五五”规划纲要并确定为科技前沿领域攻关的重要方向。本项目瞄准国家对智能技术实用化战略前瞻需求，基于团队在铁电调控的感存算一体器件的研究基础上，进一步验证铁电调控的感存算一体架构的可行性。

八、其他说明

暂无

参考文献

- [1] Liu A., Feng B., Xue B., et al. Deepseek-v3 technical report [J]. arXiv preprint arXiv:241219437, 2024.
- [2] Bai L., Chen S., Wang P., et al. DeepSeek or ChatGPT: Can brain-computer interfaces/brain-inspired computing achieve leapfrog development with large AI models? [J]. Brain-X, 2025, 3(1): e70021.
- [3] Zhang Y. L., Zhu Q. X., Tian B. B., et al. New-Generation Ferroelectric AlScN Materials [J]. Nano-Micro Letters, 2024, 16(1): 227.
- [4] Yang J., Cai Y. C., Wang F., et al. A Reconfigurable Bipolar Image Sensor for High-Efficiency Dynamic Vision Recognition [J]. Nano Letters, 2024, 24(19): 5862-5869.
- [5] Zhang W. Q., Gao B., Tang J. S., et al. Neuro-inspired computing chips [J]. Nature Electronics, 2020, 3(7): 371-382.
- [6] Mutlu O., Ghose S., Gómez-Luna J., et al. Processing data where it makes sense: Enabling in-memory computation [J]. Microprocess Microsyst, 2019, 67: 28-41.
- [7] Sebastian A., Le Gallo M., Khaddam-Aljameh R., et al. Memory devices and applications for in-memory computing [J]. Nature Nanotechnology, 2020, 15(7): 529-544.
- [8] Li Z., Bao R., Zhang W. Y., et al. 2T2R RRAM-Based In-Memory Hyperdimensional Computing Encoder for Spatio-Temporal Signal Processing [J]. IEEE Transactions on Circuits and Systems II-Express Briefs, 2024, 71(5): 2614-2618.
- [9] Wang S. C., Li Y., Wang D. C., et al. Echo state graph neural networks with analogue random resistive memory arrays [J]. Nature Machine Intelligence, 2023, 5(2): 104-113.
- [10] Lee D. K., Noh G., Oh S., et al. Crystallinity-controlled volatility tuning of ZrO₂ memristor for physical reservoir computing [J]. Infomat, 2024, 7(2): e12635.
- [11] Torrejon J., Riou M., Araujo F. A., et al. Neuromorphic computing with nanoscale spintronic oscillators [J]. Nature, 2017, 547(7664): 428-431.
- [12] Wu G., Zhang X., Feng G., et al. Ferroelectric-defined reconfigurable homojunctions for in-memory sensing and computing [J]. Nature Materials, 2023, 22(12): 1499-1506.
- [13] Sun X. Z., Chen Y., Zhao D. Y., et al. Measuring Band Modulation of MoS₂ with

Ferroelectric Gates [J]. Nano Letters, 2023, 23(6): 2114-2120.

[14] Feng G. D., Zhu Q. X., Liu X. F., et al. A ferroelectric fin diode for robust non-volatile memory [J]. Nature Communications, 2024, 15(1): 513.

[15] Jerry, M. et al. Ferroelectric FET analog synapse for acceleration of deep neural network. IEEE International Electron Devices Meeting (IEDM) San Francisco, USA. (2017).

[16] Merolla P. A., Arthur J. V., Alvarez-Icaza R., et al. A million spiking-neuron integrated circuit with a scalable communication network and interface [J]. Science, 2014, 345(6197): 668-673. [41]

[17] Chen Y., Luo T., Liu S., et al. DaDianNao: A Machine-Learning Supercomputer; proceedings of the 2014 47th Annual IEEE/ACM International Symposium on Microarchitecture, Cambridge, UK, F 13-17 Dec. 2014, 2014 [C]. IEEE.

[18] Cai F. X., Correll J. M., Lee S. H., et al. A fully integrated reprogrammable memristor-CMOS system for efficient multiply-accumulate operations [J]. Nature Electronics, 2019, 2(7): 290-299.

[19] Yao P., Wu H. Q., Gao B., et al. Fully hardware-implemented memristor convolutional neural network [J]. Nature, 2020, 577(7792): 641-646.

[20] Sugibuchi K., Kurogi Y., Endo N. Ferroelectric field-effect memory device using Bi₄Ti₃O₁₂ film [J]. Journal of Applied Physics, 1975, 46(7): 2877-2881.

[21] Kim J. Y., Choi M. J., Jang H. W. Ferroelectric field effect transistors: Progress and perspective [J]. APL Materials, 2021, 9(2): 021102.

[22] Zhou Z. J., Li J. L., Xia W. M., et al. Enhanced piezoelectric and acoustic performances of poly(vinylidene fluoride-trifluoroethylene) films for hydroacoustic applications [J]. Physical Chemistry Chemical Physics, 2020, 22(10): 5711-5722.

[23] Lee Y. R., Trung T. Q., Hwang B. U., et al. A flexible artificial intrinsic-synaptic tactile sensory organ [J]. Nature communications, 2020, 11(1): 2753.

[24] Velusamy D. B., Kim R. H., Takaishi K., et al. Thin reduced graphene oxide interlayer with a conjugated block copolymer for high performance non-volatile ferroelectric polymer memory [J]. Organic Electronics, 2014, 15(11): 2719-2727.

[25] Sun Y L., Xie D., Xu J L., et al. Pentacene organic ferroelectric transistors with P(VDF-TrFE) gate by Langmuir-Blodgett process[J]. Journal of Applied Physics, 2015, 118(11): 115501.

[26] Zeng J. H., Feng G. D., Wu G. J., et al. Multisensory Ferroelectric Semiconductor Synapse for Neuromorphic Computing [J]. Advanced Functional Materials, 2024, 34(19): 2313010.

- [27] Dang Z Y, Guo F, Duan H, et al. Black phosphorus/ferroelectric P(VDF-TrFE) field-effect transistors with high mobility for energy-efficient artificial synapse in high-accuracy neuromorphic computing[J]. Nano Letters, 2023, 23(14):
- [28] Liu L, Hou X, Zhang H, et al. Ferroelectric field-effect transistors for logic and *in-situ* memory applications[J]. Nanotechnology, 2020, 31(42): 424007.
- [29] Feng G D, Liu Y F, Zhu Q X, et al. Giant tunnel electroresistance through a Van der Waals junction by external ferroelectric polarization[J]. Nature Communications, 2024, 15(1): 9701.